

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-97949

(43) 公開日 平成11年(1999)4月9日

(51) Int.Cl.^o
H 03 F 3/343
G 11 C 11/407
H 03 K 5/13
// G 06 F 1/10

總則問題

1

H 0 3 F 3/343
H 0 3 K 5/13
G 1 1 C 11/34
G 0 6 F 1/04

7

354C
330A

審査請求 本請求 請求項の数4 FD (全 5 頁)

(21) 出願番号

特顯平9-273427

(71) 出願人 000006655

新日本製鐵株式会社

(22) 出願日

平成9年(1997)9月19日

東京都千代田区大手町2丁目6番3号

高橋 保彦

東京都千代田区大手町2-6-3 新日本
製鐵株式会社内

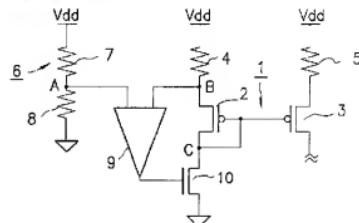
(74) 代理人 弁理士 國分 孝悅

(54) 「発明の名称」 可変電流源およびこれを使った電源電圧補償型積分混音回路

(57) *Int. J.*

【課題】 電源電圧の変動に比例した電流を容易に得られる方法

【解説手段】 第1の抵抗4を介して電源電圧V_d dに接続された第1のトランジスタ2と、第1の抵抗1と同じ抵抗値を有する第2の抵抗5を介して電源電圧V_d dに接続された第2のトランジスタ3とのゲート回路を接続してカレントミラーリミット1を構成するとともに、電源電圧V_d dを分正する抵抗分圧回路6の第3の抵抗7により降圧された電圧および第1の抵抗4により降圧された電圧を入力とする差動増幅器9の出力に応じて第1のトランジスタ2に流れる電流を制御する第3のトランジスタ10と、カレントミラーリミット1の部分に設けることにより、第3のトランジスタ10が定電流源的に作用することができるようにして、電源電圧V_d dの変動に比例した電流をカレントミラーによって確実に取り出すことができるようになる。



【特許請求の範囲】

【請求項1】 第1の抵抗を介して第1の電源ラインに接続された第1のトランジスタと、上記第1の抵抗と同じ抵抗値を有する第2の抵抗を介して上記第1の電源ラインに接続された第2のトランジスタとのゲート同士を接続して構成したカレントミラーカircuitと、

上記第1の電源ラインに接続された第3の抵抗と、上記第3の抵抗に直列に接続された第4の抵抗とを絶え、上記第1の電源ラインおよび第2の電源ライン間に供給される電源電圧を分圧する抵抗分圧回路と、

上記第1の抵抗により降圧された電圧が一方の入力端に印加されるとともに、上記抵抗分圧回路の上記第3の抵抗により降圧された電圧が他方の入力端に印加されるように成されたゲート増幅器と、

上記ゲート増幅器の出力に応じて上記第1のトランジスタに流れる電流を制御する第3のトランジスタとを備えたことを特徴とする可変電源回路。

【請求項2】 上記第1のトランジスタおよび第2のトランジスタはP型MOSトランジスタにより構成され、上記第3のトランジスタはN型MOSトランジスタにより構成されることを特徴とする請求項1に記載の可変電源回路。

【請求項3】 請求項1に記載の可変電源回路を備えた電源電圧補償型積分運延回路。

【請求項4】 請求項1に記載の可変電源回路と、入力クロックに応じてインバータが切り替わられるスイッチと、

上記スイッチがオンのときに上記可変電源回路から供給される電流に従って積分電圧を蓄積するコンデンサと、上記コンデンサに並列に接続されたインバータ回路とを備えたことを特徴とする電源電圧補償型積分運延回路。

【発明の属する技術分野】 本発明は可変電源およびこれを用いた電源電圧補償型積分運延回路に関し、特に、電源電圧に比例した電流を得るために技術に関するものである。

【00002】

【既存の技術】 近年、マイクロプロセッサや半導体メモリ等の半導体集積回路(LSI)は、処理の高速化等のために高い周波数で動作することが要求されている。それに伴い、各LSIチップ間の印加、あるいは各LSIチップ内の印加回路の周期をとるためのクロックの周波数が高まっている。

【00003】 このように動作周波数が非常に高速化している中、入力クロックに対して一定の運延量を持つクロックを生成することが要求されることがある。例えば、非常に高速なDRAMのインターフェースに関して、マイクロプロセッサがバスを介してDRAMから情報を受け取る際に、プロセッサにとってちょうど良いタイミング

で情報を受け取るよう、DRAMから読み出すタイミングを入力クロックのタイミングよりも一定時間だけ遅らせたいという要求がある。

【00004】 従来、入力クロックに対して運延を施すために、例えば積分運延回路が用いられている。図3に示すように、この積分運延回路3-0は、定電流源3-1と、コンデンサ3-2と、インバータ3-3とで構成される。この積分運延回路3-0によれば、定電流源3-1からの電流が積分動作によってコンデンサ3-2に積分電圧として徐々に蓄積されていく。その後、積分電圧がインバータ3-3の論理閾値を上回った時点でクロックを出力することにより、積分開始から閾値に達するまでの時間だけクロックを運延させることが可能である。

【00005】

【発明が解決しようとする課題】 この場合、クロックの運延量は、外乱等にまらず常に一定となることが要求される。しかしながら、インバータ3-3を構成するCMOSゲートの論理閾値は、一般に電源電圧の1/2程度に設定されるため、インバータ3-3の論理閾値は電源電圧に比例して変わってしまい、これに伴って運延量も変化してしまう。例えば、電源電圧Vddが上がるごとに運延時間は長くなってしまう。

【00006】 また、図4に示すように、図3の定電流源3-1の代わりにP型MOSトランジスタ1とを用いると、トランジスタ1を流れる電流は、電源電圧Vddの変化よりも大きな変化が発生してしまう。そのため、例えば電源電圧Vddが上がるごとに運延時間は短くなってしまう。

【00007】 また、図5のように抵抗5-1を用いて電源電圧Vddの影響はなくなるが、この中で既成ではスイッチングのための機能を有さず、実用上利用することができない。実用上利用できるようにするために、スイッチング用のトランジスタを更に設ける必要があり、このトランジスタによって電源電圧Vddの影響を受けてしまう。

【00008】 そのため、電源電圧Vddに依存しない積分運延回路を作ろうとする場合、電源電圧Vddの変動に対して自己修正をする仕掛けを持たせることにより、

40 コンデンサ3-2に対する充電電流を電源電圧Vddに比例して変化させる必要がある。コンデンサ3-2に対する充電電流を電源電圧Vddに比例して変えてやれば、電源電圧Vddの変動によりインバータ3-3の論理閾値が変わつても、それに対応して積分の速度が変わるので、一定的の運延量を保つことができる。

【00009】 このように電源電圧Vddに比例した電流を得るための回路としては、図6のように、2つのMOSトランジスタ6-2、6-3のゲート同士を接続したカレントミラーカircuitの構成の部分に抵抗6-1を設けたものが容易に想像される。すなわち、抵抗6-1を流れる電流が電

源電圧 V_{dd} に比例すると言われるので、それをカレントミラーで取り出す時は電源電圧 V_{dd} に比例した電流が得られると思像できる。

【0010】しかしながら、実際にはこの手筋では、点 P の電圧は抵抗 6.1 を流れる電流から決まるミラー電圧とはならず、抵抗 6.1 と P 型 MOS トランジスタ 6.2 で電源電圧 V_{dd} が分圧された電圧となってしまう。そのため、カレントミラーがうまく動作せず、電源電圧 V_{dd} に比例した電流を得ることができないという問題があつた。

【0011】本発明は、このような問題を解決するためになされたものであり、電源電圧の変動に比例した電流を容易に得ることが可能な回路を提供することを第1の目的とする。また、本発明は、电源電圧の変動によらず入力クロックに対する遅延量を常に一定に保つことが可能な積分回路を提供することを第2の目的とする。

【0012】

【課題を解決するための手段】本発明の可変電流源は、第1の抵抗を介して第1の電源ラインに接続された第1のトランジスタと、上記第1の抵抗と同じ抵抗値を有する第2の抵抗を介して上記第1の電源ラインに接続された第2のトランジスタとのゲート同士を接続して構成したカレントミラー回路と、上記第1の電源ラインに接続された第3の抵抗と、上記第3の抵抗に直列に接続された第1の抵抗とを備え、上記第1の電源ラインおよび第2の電源ライン間に供給される電源電圧を分圧する抵抗分圧回路と、上記第1の抵抗により降圧された電圧が一方の入力端に印加されるとともに、上記抵抗分圧回路の上記第3の抵抗により降圧された電圧が他の入力端に印加されるように成された差動増幅器と、上記差動増幅器の出力方に応じて上記第1のトランジスタに流れる電流を制御する第3のトランジスタとを備えたことを特徴とする。

【0013】ここで、上記第1のトランジスタおよび第2のトランジスタを P 型 MOS トランジスタにより構成し、上記第3のトランジスタを N 型 MOS トランジスタにより構成しても良い。

【0014】また、本発明の電源電圧補償積分型回路は、請求項 1 に記載の可変電流源を備えたことを特徴とする。例えば、請求項 1 に記載の可変電流源と、入力クロックに応じてイン/オフが切り替わるスイッチと、上記スイッチがオフのときに上記可変電流源から供給される電流に従って積分電圧を蓄積するコンデンサと、上記コンデンサに並列に接続されたインバータ回路とを備える。

【0015】

【発明の実施の形態】以下、本発明の一実施形態を図面に基づいて説明する。図 1 は、本発明に係る可変電流源の一実施形態を示す図である。以下、この図 1 を用いて本実施形態の可変電流源について説明する。

【0016】図 1において、1 はカレントミラー回路であり、P 型の MOS 回路により構成された第1のトランジスタ 2 と、同じく P 型の MOS 回路により構成された第2のトランジスタ 3 とのゲート同士を接続して構成される。さらに、第1のトランジスタ 2 のゲートとドレイン間も接続される。

【0017】上記第1のトランジスタ 2 は、第1の抵抗 4 を介して電源電圧 V_{dd} のラインに接続され、第2のトランジスタ 3 は、上記第1の抵抗 4 と同じ抵抗値を有する第2の抵抗 5 を介して電源電圧 V_{dd} のラインに接続される。同じ抵抗値をしているのは、電源電圧 V_{dd} に対する電圧降下を同じにするためである。

【0018】6 は抵抗分圧回路であり、電源電圧 V_{dd} のラインに接続された第3の抵抗 7 と、この第3の抵抗 7 に直列に接続された第1の抵抗 8 とにより構成される。この抵抗分圧回路 6 は、電源電圧ラインおよび後接電源ライン間に供給される電源電圧 V_{dd} を分圧する。なお、第3の抵抗 7 と第4の抵抗 8 との抵抗値は必ずしも同じである必要はないが、同じにした方が好ましい。

また、これらの抵抗値は、第1および第2の抵抗 4、5 の抵抗値より大きなものを用いる。

【0019】9 は差動増幅器であり、第1の抵抗 4 により電源電圧 V_{dd} の降圧された電圧が一方の入力端に印加されるとともに、抵抗分圧回路 6 の第3の抵抗 7 により電源電圧 V_{dd} の降圧された電圧が他の入力端に印加される。この差動増幅器 9 は、点 A および点 B の電圧が等しくなるように動作する。10 は N 型の MOS 回路で構成された第3のトランジスタであり、差動増幅器 9 の出力に応じて上記第1のトランジスタ 2 に流れる電流を制御する。

【0020】図 1 に示したように、本実施形態では、電流を検出する第1および第2の抵抗 4、5 は、カレントミラー回路 1 のゲート同士が接続されている側（カレントミラーの脚の部分）上は反対側に接続し、ゲート同士が接続されている側には、第1のトランジスタ 2 に流れる電流を制御する回路上して、第3のトランジスタ 10 を接続している。そして、第1のトランジスタ 2 に流れる電流を、カレントミラーにて取り出すようにしている。

【0021】このように構成することにより、カレントミラーの脚の部分に抵抗を設けた図 6 の例の場合と異なり、第3のトランジスタ 10 は定電流源として機能することが可能となる。すなれば、差動増幅器 9 により第3のトランジスタ 10 に入力されるゲート電圧が小さくして第3のトランジスタ 10 が飽和領域に入っているときは、第3のトランジスタ 10 のドレイン電流は飽和電流となり、第3のトランジスタ 10 は定電流源的に作用する。

【0022】したがって、点 C の電圧は、第3のトランジスタ 10 によって影響を受けず、カレントミラー回路 1 によって決定されるミラー電圧となる。このとき、カ

レントミラー回路1の出力電流は、第3のトランジスタ10のゲート電圧（差動増幅器9の出力電圧）に応じて変化する。この差動増幅器9の出力電圧は、電源電圧Vddに比例して変化するので、その結果、カレントミラーリー回路1からは電源電圧Vddに比例した電流を得ることができる。

【0023】次に、上記のように構成した本実施形態の可変電流源を適用した電源電圧補償積分遅延回路の構成例を、図2に示す。図2に示すように、本実施形態の電源電圧補償積分遅延回路20は、可変電流源21と、コンデンサ22と、インバータ23と、CMOSトランジスタ等から成るスイッチ24で構成される。

【0024】上記可変電流源21の内部構成は、図1に示した通りであり、カレントミラーリー回路1を構成する第2のトランジスタ3の出力電流がスイッチ24に与えられるようになっている。このスイッチ24のゲート端子には、図示しないクロック発生回路に発生されたクロック信号が与えられ、そのクロックパルスの期間だけスイッチ24がONとなる。

【0025】クロック信号の供給によりスイッチ24がONになると、可変電流源21からスイッチ24を介して与えられる電流が、積分動作によってコンデンサ22に積分電圧として徐々に蓄積されていき、インバータ23への入力が徐々に高まっていく。その後、積分電圧がインバータ23の論理閾値を上回った時点でクロックを出力することにより、積分開始から閾値に達するまでの時間だけクロックを延長させることができる。

【0026】このとき、インバータ23の論理閾値は、電源電圧Vddに比例して変わらしうが、可変電流源21によって供給電流を電源電圧Vddに比例して変えてやることにより、電源電圧Vddの変動に上りインバータ23の論理閾値が変わらても、それに対応して積分の速度（積分電圧の立ち上がりカーブ）を変えることができ、一定の延長量を保つことができる。

【0027】なお、以上の実施形態では、カレントミラーリー回路1をP型のMOSトランジスタ2、3に上り構成したが、N型のMOSトランジスタにより構成しても良い。また、本実施形態に係る可変電流源の1つの応用例として電源電圧補償積分遅延回路を挙げたが、これは単なる一例に過ぎず、電源電圧の変動に比例して入力電流が変化することが要求される回路に対しては、何れも応用することが可能である。

【0028】

【発明の効果】本発明は上述したように、第1のトランジスタおよび第2のトランジスタのゲート回路を接続してカレントミラーリー回路を構成し、そのゲート回路が接続

された側（側の部分）の反対側に第1の抵抗および第2の抵抗を介して第1の電源ラインを接続するとともに、カレントミラーリー回路の側の部分には、電源電圧を分圧する抵抗分圧回路の第3の抵抗により降圧された電圧および第1の抵抗により降圧された電圧を入力とする差動増幅器の出力に応じて第1のトランジスタに流れる電流を制御する第3のトランジスタを設けたので、第3のトランジスタは定電流源的に作用することができるようになり、電源電圧の変動に比例した電流をカレントミラーにして譲り受け取り出すことができる。

【0029】また、本発明は、上記のように構成した可変電流源を用いて電源電圧補償積分遅延回路を構成したので、積分遅延回路を構成するインバータの論理閾値が電源電圧に比例して変わってしまう中、可変電流源からの供給電流を電源電圧に比例して変えてやることにより、一定の延長量を保つことができる。

【図面の簡単な説明】

【図1】本発明に係る可変電流源の一実施形態を示す図である。

【図2】本発明に係る可変電流源を適用した電源電圧補償積分遅延回路の一実施形態を示す図である。

【図3】従来の積分遅延回路の一構成例を示す図である。

【図4】従来の積分遅延回路の他の構成例を示す図である。

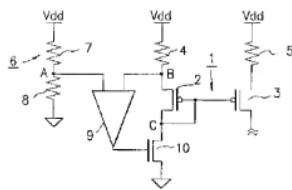
【図5】従来の積分遅延回路の更に他の構成例を示す図である。

【図6】電源電圧に比例した電流を得るために考え得る構成例を示す図である。

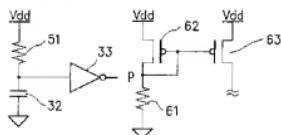
【符号の説明】

- 1 カレントミラーリー回路
- 2 第1のトランジスタ
- 3 第2のトランジスタ
- 4 第1の抵抗
- 5 第2の抵抗
- 6 抵抗分圧回路
- 7 第3の抵抗
- 8 第4の抵抗
- 9 差動増幅器
- 10 第3のトランジスタ
- 20 電源電圧補償積分遅延回路
- 21 可変電流源
- 22 コンデンサ
- 23 インバータ
- 24 スイッチ

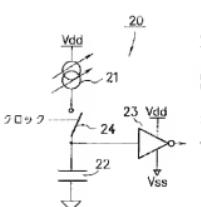
【図1】



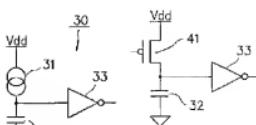
【図5】



【図2】



【図3】



【図4】

【図6】

